



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **58106837 A**(43) Date of publication of application: **25.06.83**

(51) Int. Cl.

H01L 21/324(21) Application number: **56205618**(22) Date of filing: **18.12.81**(71) Applicant: **FUJITSU LTD**(72) Inventor: **TAKASAKI KANETAKE
UOOCHI YASUO
KOYAMA KENJI****(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

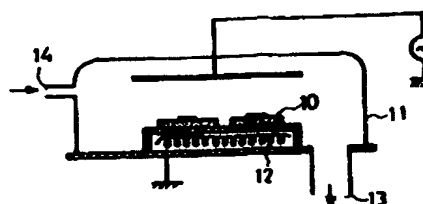
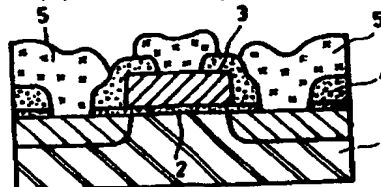
the gate electrode 3 positive at 1MHz or less.

(57) Abstract:

COPYRIGHT: (C)1983,JPO&Japio

PURPOSE: To contrive to obtain a stable threshold voltage and form an Al wiring at high accuracy by a method wherein a MIS type semiconductor element is put in a plasma gas atmosphere, and then, at a low temperature under a condition that the metal side is in positive potential, a semiconductor substrate is applied to a high frequency annealing.

CONSTITUTION: When reacted in plasma under a condition that the floating potential of a gate electrode 3 becomes positive, electrons flow in from the Si substrate 1 (This is connected to an electrode 12 of the earth side of the device.) because the gate electrode is +, and accordingly positive charges charged in a gate insulation film 2 are neutralized by the electron resulting in the disappearance of charges in the gate insulation film 2. Therefore, by performing such a high frequency annealing, the charge in the insulation film is removed, and accordingly V_{th} is stabilized. The condition that the floating potential of the gate electrode 3 becomes positive has deep relation to the frequency, and can make the floating potential of



⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭58—106837

⑫ Int. Cl.³
H 01 L 21/324

識別記号

庁内整理番号
6851—5F

⑬ 公開 昭和58年(1983)6月25日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体装置の製造方法

⑮ 特 願 昭56—205618
⑯ 出 願 昭56(1981)12月18日
⑰ 発 明 者 高崎金剛
川崎市中原区上小田中1015番地
富士通株式会社内
⑱ 発 明 者 魚落泰雄

川崎市中原区上小田中1015番地
富士通株式会社内
⑲ 発 明 者 小山堅二
川崎市中原区上小田中1015番地
富士通株式会社内
⑳ 出 願 人 富士通株式会社
川崎市中原区上小田中1015番地
㉑ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

MIS型半導体素子をプラズマガス雰囲気中に置き、半導体基板に対し金属側が正電位となるような条件下の低温度において、高周波熱処理する工程が含まれてなることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(1) 発明の技術分野

本発明は半導体装置の製造方法のうち、特にMIS型半導体素子の熱処理(アニーリング)方法に関するものである。

(2) 技術的背景

近年、半導体装置は急速に発展して、IO、LSIあるいはVLSIと高集積化され、微細化されてきたが、これは電子ビームやX線などを用いたリソグラフィ技術、あるいは不純物のイオン注入法やドライエッチング法など製造技術の進歩によると

ころが大きい。

しかし、電子ビーム、X線、イオンビームなどを照射すると原子又はイオンが無数に照射されるので、アリケートな半導体素子はそれらの影響を非常に受けやすい。

(3) 従来技術と問題点

特に半導体素子の絶縁膜に、上記のビーム照射が行われると、絶縁膜中に電子-正孔対が生じてこのうち正孔がトラップされ易いため、絶縁膜中に捕えられて正の電荷が蓄えられる。このような絶縁膜がMIS構造をもつた半導体素子のゲート絶縁膜であると、この正孔がスレッショルド電圧(Threshold Voltage)をシフトさせて、素子特性を悪化させる。

しかし、これは高温(600℃以上)でアニーリングすれば消滅させることができる。

そのため、従来からこのような工程を経ると、その後約600℃以上の高温に加熱するアニーリング法が加えられ、絶縁膜中に蓄えられた正孔を消滅させて中和し、絶縁度の回復をはかっている。ところが、アルミニウム(Al)配線を形成し

た後の工程では、 Al の溶融点が低いため $600^{\circ}C$ 以上に加熱することができず、上記のような絶縁膜中のチャージ除去は困難である。

一方、 Al 配線をスパッタ法で蒸着して、プラズマエッチング法でパターンニングすると、膜厚や巾などが一層高精度に形成されるが、これらの方法も原子やイオンを照射するから上記のように絶縁膜中にチャージを蓄積することになり、特にMIS型半導体素子の Al 配線形成に採用することはできない。従って、スパッタ法やプラズマエッチング法で形成すれば、 V_{th} の変動を許容することになる。

(4) 発明の目的

本発明はこのような問題点を解消させて、安定したスレショルド電圧が得られ、且つ高精度な Al 配線が形成できるような、 $600^{\circ}C$ よりも低い低温度のアニーリング方法を提案するものである。

(5) 発明の構成

本発明の特徴はMIS型半導体素子をプラズマガス雰囲気中に置き、半導体基板に対し、金属側

約 $450^{\circ}C$ に加熱し、排気口13より排気し、ガス流入口14より窒素(N_2)ガスを流入して、その減圧度を $0.2 \sim 2$ Torrとし、電力は $1 \sim 10 W/cm^2$ 程度にする。そして電極12を接地側として高周波を印加し、プラズマガス中にシリコンウエハを曝すと、ゲート電極5はゲート絶縁膜2により絶縁されているから、フローティングポテンシャルになる。そして、その電位はプラズマ発生法を変えると正にも負にも変わる。

今、ゲート電極5のフローティングポテンシャルが正になる条件の下で、プラズマ反応させると、ゲート電極は+であるからシリコン基板1(これは接電の接地側の電極12に接している)から電子が流れ込み、それにつれてゲート絶縁膜2にチャージされている正の電荷がその電子によつて中和されて、ゲート絶縁膜2中の電荷は消失する。

したがって、このような高周波アニーリングを行なうことによつて、絶縁膜中のチャージは除去されて、 V_{th} は安定する。ゲート電極5のフローティングポテンシャルが正となる条件は周波数に依

が正電位となるような条件下の低温度において、高周波アニーリングする方法であり、以下図面を参照して詳細に説明する。

(6) 発明の実施例

第1図はMOSトランジスタ(MIS型半導体素子)の構造断面を示し、シリコン(Si)基板1上に酸化シリコン(SiO_2)からなるゲート絶縁膜2、ゲート電極3、異種酸ガラス(PBG)膜4、 Al 配線5が形成されている。このようなMOSトランジスタの Al 配線5はスパッタ法で被着し、次いでプラズマエッチング法で余分の Al 部分をエッチング除去して、パターンニングしたとする。又その何れか一方の方法のみを用いたとしても同様である。そうすると、上記したようにゲート絶縁膜2中には正の電荷が蓄積されていて、 V_{th} は不安定である。

このようなMOSトランジスタを形成したシリコンウエハを第2図に示すプラズマエッチング装置に収容する。図示のように、シリコンウエハ10は反応容器11内の電極12上に置いて、

い関係を有しており、上記の条件(加熱温度や電力など)では第3図に示す図表のように1MHz以下で、ゲート電極5のフローティングポテンシャルを正とすることができる。条件が変われば、限界周波数も変わり、加熱温度も $450^{\circ}C$ 以下としても、充分にアニーリングされる。

この例のように、本発明によればプラズマガス雰囲気中に曝らすことによつて、 $450^{\circ}C$ あるいはそれ以下の温度に加熱して、アニールすることができる。プラズマガスとしては窒素の他、アルゴン、ヘリウムなどの不活性ガスが用いられる。

(7) 発明の効果

上記は Al 配線を形成する際、ゲート絶縁膜に電荷が蓄えられる例で説明したが、その他の場合についても同様であり、例えば半導体素子上面を被覆する酸化シリコン(Si_3N_4)膜がプラズマ気相成長法で形成された場合、又は同様の目的で酸化シリコン膜がスパッタ法で形成された場合にも、ゲート絶縁膜に電荷が蓄えられるが、同様にして消失させることができる。

したがって、本発明はMIS型半導体装置を製造する際に、すべての工程において採用することができるアニーリング方法で、素子特性の安定に大きく貢献し、半導体装置の高信頼化に極めて役立つものである。

4. 図面の簡単な説明

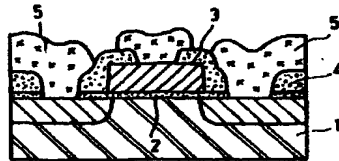
第1図はMOSトランジスタの構造断面図、第2図は本発明にかかる高周波熱処理を行なうプラズマエッチング装置の概略図、第3図は金属側(ゲート電極側)が正電位となるためのフローティングポテンシャルと周波数の関係図表の例図である。

図中、1はシリコン基板、2はゲート絶縁膜、3はゲート電極、4は誘電酸ガラス膜、5はアルミニウム配線、10はシリコンウエハー、11は反応容器、12は電極を示す。

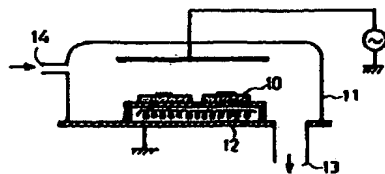
代理人 弁護士 松岡 安四郎



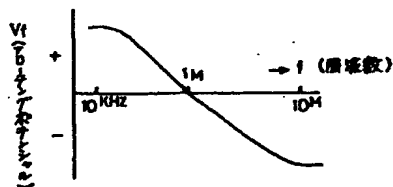
第1図



第2図



第3図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.